

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-235677

(43)公開日 平成5年(1993)9月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 G 11/00	C	9067-5 J		
H 0 1 P 1/00	Z			
1/15				
5/02	Z	8941-5 J		

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 特願平4-34996

(22)出願日 平成4年(1992)2月21日

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 ▲く▼刀 賢

尼崎市塚口本町8丁目1番1号 三菱電機

株式会社通信機製作所内

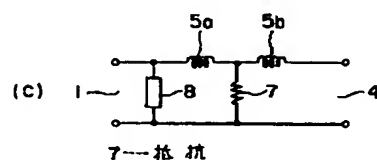
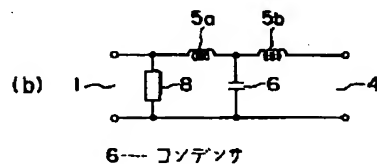
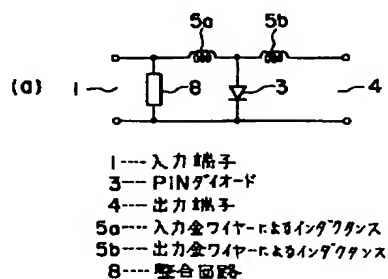
(74)代理人 弁理士 高田 守

(54)【発明の名称】 リミッター回路

(57)【要約】

【目的】 高周波領域においても、低挿入損失を実現できるリミッター回路を提供することを目的とする。

【構成】 マイクロ波帯において動作するPINダイオードを用いたリミッター回路において、ゼロバイアス設定用のDCリターン素子がインピーダンス整合機能を有することを特徴とする。



【特許請求の範囲】

【請求項1】 マイクロ波帯において作動するPINダイオードを用いたリミッター回路において、ゼロバイアス設定用のDCリターン素子がインピーダンス整合機能を有することを特徴とするリミッター回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、マイクロ波帯において動作するPINダイオードを用いたリミッター回路に関する。

【0002】

【従来の技術】 図2の(a)は、例えばAlpha社のSemiconductor DivisionのApplication Note 80300に示されたこの種のリミッター回路を示したもので、図2の(b)は小信号が入力された場合の等価回路を、図2の(c)は大信号が入力された場合の等価回路をそれぞれ示す。

【0003】 各図において、1は入力端子、2はDCリターン用コイル、3はPINダイオード、4は出力端子、5aは入力金ワイヤによるインダクタンス、5bは出力金ワイヤによるインダクタンス、6はコンデンサ、7は抵抗である。

【0004】

【発明が解決しようとする課題】 この構成において、PINダイオード3はDCリターン用コイルによりゼロバイアスされる。小信号入力時は、図2の(b)に示すようにPINダイオード3はコンデンサ6として作用し、PINダイオード3と入力金ワイヤによるインダクタンス5aと出力金ワイヤによるインダクタンス5bとがローパスフィルター型の整合回路を形成し、入力された小信号は、このローパスフィルターを通り、ある一定量の挿入損失で出力端子4から取り出される。このコンデンサ6の容量値はPINダイオード3によって異なり、耐電力の大きいPINダイオード程、容量値C_jは大きく、高周波領域までローパスフィルター作用を得ることが難しくなり、高周波領域ではVSWRが悪化し、挿入損失が増加する。コンデンサ6の容量とVSWRの関係を図3に示す。

【0005】 大信号入力時は、PINダイオード3は抵抗7として作用する。大信号入力はこの抵抗7によって反射させられ、出力端子4には一部の電力しか出力されず、入力レベルが増加しても、出力端子4からは一定レベルの出力が得られるだけで、この出力レベルはPINダイオード3によって異なる。入力レベルがあるレベル以上になると出力レベルは増加するようになる。

【0006】 本発明はこの問題を解消するためになされたもので、PINダイオードの種類によって左右されることなく、高周波領域においても、低挿入損失を実現することができるリミッター回路を提供することを目的とする。

【0007】

【課題を解決するための手段】 本発明は上記目的を達成するために、マイクロ波帯において作動するPINダイオードを用いたリミッター回路において、ゼロバイアス設定用のDCリターン素子が小信号入力に対してインピーダンス整合機能を有する構成とした。

【0008】

【作用】 本発明では、DCリターン素子が、小信号入力時に、高周波領域においてインピーダンス整合され、また大信号入力時には、理想的なリミッティング特性に近づける作用を呈する。

【0009】

【実施例】 以下、本発明の1実施例を図面を参照して説明する。

【0010】 図1において、8はDCリターン素子であって、インピーダンス整合機能を有している。他の構成は図2の(a)のものと同一である。

【0011】 この構成において、PINダイオード3はDCリターン素子によりゼロバイアスされる。小信号入力時は、図2の(b)に示すようにPINダイオード3はコンデンサ6として作用し、PINダイオード3と入力金ワイヤによるインダクタンス5aと出力金ワイヤによるインダクタンス5bとがローパスフィルター型の整合回路を形成し、入力された小信号は、このローパスフィルターを通り、ある一定量の挿入損失で出力端子4から取り出される。

【0012】 ローパスフィルターが形成される周波数には限界があるので、この限界周波数を超える入力周波数においては、DCリターン素子8によってインピーダンス整合をとる。使用するPINダイオード3の種類によって、コンデンサ6の容量C_j、および金ワイヤの長さによってインダクタンス5a、5bの値は様々であるが、DCリターン素子8の長さを $\lambda/4$ 以下(L性)、 $\lambda/4$ 以上(C性)と任意に設定することにより、高周波領域において整合を取ることが可能である。

【0013】 大信号入力時は、PINダイオード3は抵抗7として作用する。大信号入力はこの抵抗7によって反射させられ、前記したように出力端子4には一部の電力しか出力さない。理想的には、使用範囲においては、入力レベルが増加しても、出力レベルは一定であることが望ましいが、実際には、出力レベルも少しずつ増加する。DCリターン素子8、小信号時には整合回路として機能するが、大信号時には、インピーダンスが変化することにより、ミスマッチ要因として働き、出力レベルの上記増加を抑制し、理想的なリミッティング特性に近づく。

【0014】 図4は、耐電力を上げるために、PINダイオード3を2箇並列に用いた場合を示したもので、この回路では、小信号時、前記コンデンサ6の容量が増加し、上記限界周波数が下がるので、DCリターン素子8

の整合機能はより一層の効果を発揮する。

【0015】図5は、PINダイオード3を2段接続した場合の実施例であり、初段のPINダイオード3として耐電力の大きいものを使用し、2段目のPINダイオード3としては応答速度の早いものを使用している。両PINダイオード3は、大信号時にアイソレーションが最大となるように、 $\lambda/4$ 線路9で接続してある。

【0016】

【発明の効果】本発明は以上説明した通り、DCリターン素子にインピーダンス整合機能を持たせたから、高周波領域においても低VSWR、低挿入損失を実現することができる上、理想的なリミッティング特性に近づけることができる。

【図面の簡単な説明】

【図1】本発明の実施例とその等価回路を示す図である。

【図2】従来のリミッター回路とその等価回路を示す図である。

【図3】コンデンサの容量をパラメータとする周波数-VSWR関係図である。

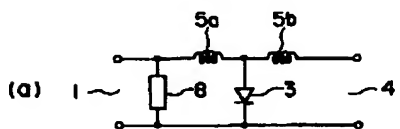
【図4】本発明の第2の実施例を示す回路図である。

【図5】本発明の第3の実施例を示す回路図である。

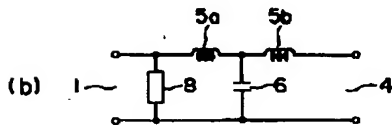
【符号の説明】

- 1 入力端子
- 3 PINダイオード
- 4 出力端子
- 5a、5b インダクタンス
- 6 コンデンサ
- 7 抵抗
- 8 DCリターン素子
- 9 $\lambda/4$ 線路

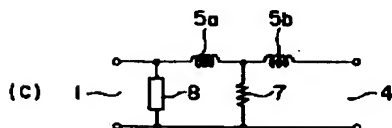
【図1】



- 1---入力端子
- 3---PINダイオード
- 4---出力端子
- 5a---入力金ワイヤによるインダクタンス
- 5b---出力金ワイヤによるインダクタンス
- 8---整合回路

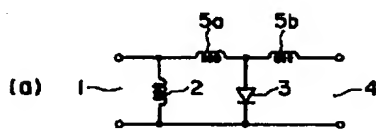


- 6---コンデンサ

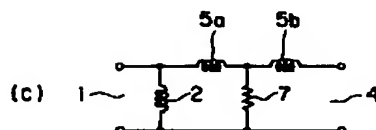
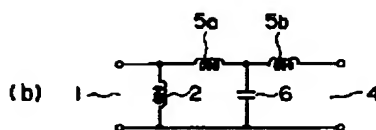


- 7---抵抗

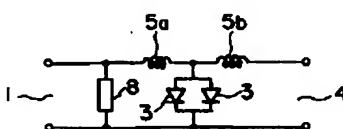
【図2】



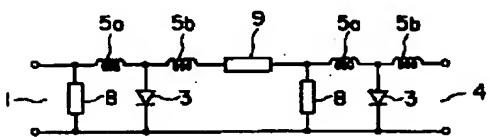
- 2---DCリターンコイル



【図4】



【図5】



- 9--- $\lambda/4$ 線路

【図3】

